

基于 FPGA 和 DSP 的抗单粒子高清图像采集处理系统设计

陆 嵩¹, 付方发¹, 谭龙玉², 王进祥¹

(1 哈尔滨工业大学 微电子中心, 黑龙江 哈尔滨 150001; 2 上海航天控制技术研究所 研发中心, 上海 201109)

摘 要: 与传统的 CCD 相比, CMOS 图像传感器因其相对简单的驱动, 更低的功耗, 更强的抗辐射能力, 在空间探测领域得到了越来越多的应用. 采用 CMOSIS 公司生产的 CMV4000 的图像传感器, 基于 FPGA 和 DSP 设计完成了分辨率为 $2\,048 \times 2\,048$, 10 frame/s 的高清图像采集系统. 从器件选型、逻辑设计等方面考虑了系统的抗单粒子效应设计. 试验结果表明, 系统运行稳定可靠, 由单粒子翻转造成的功能中断小于 10^{-2} 次/天, 安装光学系统后能够高质量成像.

关键词: CMOS; FPGA; DSP; 抗单粒子

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2017)01-0123-05

Design of Anti-SEE HD Image Acquisition System Based on FPGA and DSP

LU Song¹, FU Fang-fa¹, TAN Long-yu², WANG Jin-xiang¹

(1 Microelectronics Center, Harbin Institute of Technology, Harbin 150001, China;

2 R&D Center, Shanghai Institute of Spaceflight Control Technology, Shanghai 201109, China)

Abstract: Compared with traditional CCD, CMOS image sensor has been widely applied in space exploration because it needs no complex driver circuit, has low power features and high anti-radiation ability. CMV4000 image sensor of CMOSIS is chosen in this paper. An image acquisition system of $2\,048 \times 2\,048$ pixels based on FPGA+DSP is presented at the rate of 10-frame/s. The acquisition system is designed for anti-single event effect according to the type of device and the logic design. The experimental results show that the system is stably and reliability, the functional termination caused by the single event effect is less than 10^{-2} times per day, the high definition image can be generated after the optical system is completed.

Key words: CMOS; FPGA; DSP; anti-SEE

1 引言

随着集成电路设计和制造技术的发展, CMOS 图像传感器的性能也得到了极大的提升, 在一些指标上达到甚至超过了传统的 CCD 图像传感器^[1-2]. 在对重量、体积要求敏感的空间应用领域, CMOS 图像由于传感器具有性能高、集成度高、控制简单、功耗较低、抗辐射能力较强等优点, 逐渐得到了越来越多的应用. 如嫦娥二号所使用的降落相机和三台监视相机均以 CMOS 图像传感器为图像采集单元^[3].

图像处理结构多与图像采集单元集成在一起, 以实现设备的小型化和轻量化. 一般来说, 图像处理算法较为复杂且灵活性很大, 随着图像分辨率的提高, 需要处理的数据量也越来越大, 这就要求图像处理的硬件系统能够运行高复杂度的算法, 同时具有高速处理大数据量的能力以保证系统的实时性. 在目前众多的图像处理结构中, FPGA 和 DSP 的组合以其速度快、设计灵活、利于扩展升级、集成度高、功耗低等诸多优点, 被广泛用于机器视觉、医学图像处理、资源探测等各个领域. 特别是伴随着人类对空间资源开发, 基于 FPGA 和 DSP 数据处理平台越来越

多地被用于对地遥感、空间目标识别、捕获、追踪等对实时性和精确性要求较高的领域^[4].

本文从空间应用的角度出发,设计实现了一种高清图像采集与处理平台,通过对 DSP 编程可实现不同图像处理算法. 针对空间复杂辐射环境,对各器件的抗单粒子加固方法进行了研究和应用,确保系统工作稳定可靠.

2 系统原理和硬件结构

本文设计系统的整体框图如图 1 所示,主要包括图像采集模块,图像存储模块,图像处理模块,图像发送模块和串口通信模块.

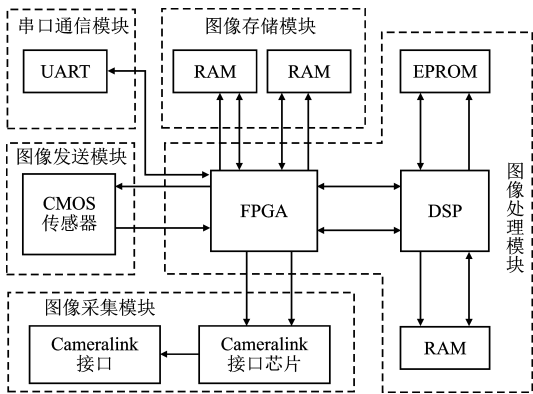


图 1 系统整体结构框图

整个系统工作流程如下所示.

当系统上电时,DSP 从 EPROM 中加载程序. FPGA 根据串口通信模块的数据配置 CMOS 图像传感器的工作状态,包括数据速率、曝光方式、曝光时间、数据读出格式等. 配置完成后,控制图像传感器曝光. 曝光结束后,在 FPGA 的控制下,图像数据被缓存图像存储模块中. DSP 读取缓存的一帧数据进行相应图像算法处理,并将处理后的图像数据传送给 FPGA,FPGA 将来自 DSP 的图像数据按照 Cameralink 标准添加控制信号后,输出给图像发送模块. PC 机通过图像采集卡采集数据并在配套软件 CamExpert 中显示.

针对系统性能和可靠性的要求,FPGA 选用了 Actel 生产的 Axcelerator 系列反熔丝产品,DSP 使用了 TI 的 TMS320VC33,为了满足图像的整帧存储需要,图像存储模块的 RAM 使用了 Cypress 的大容量 SRAM 芯片 CY7C1473BV33.

2.1 图像采集模块设计

图像采集模块包括图像传感器及其外配置电路,本文中是使用 CMOSIS 公司设计的工业级高清

图像传感器 CMV4000-3E5M1PP,通过 SPI 总线配置其工作状态如下:

- (1)图像分辨率 2 048×2 048;
- (2)使用外部曝光模式;
- (3)内部 AD 量化值 10 bit;
- (4)使用 16 路 LVDS 输出;
- (5)禁用内部 PLL,使用外部 LVDS 时钟.

2.2 图像的乒乓存储设计

缓存单元是 CMOS 图像传感器与 DSP 图像处理单元之间的数据通道,这一单元的结构设计将直接影响系统的数据吞吐量. 针对图像数据量大和系统实时性的要求,设计采用乒乓结构来缓存图像数据,在 DSP 从其中一块乒乓 RAM 中读取图像数据进行处理的同时,FPGA 控制图像传感器进行下一次曝光,得到的图像数据缓存到另一块乒乓 RAM 中,乒乓 RAM 由 FPGA 根据 DSP 的处理进度和图像传感器的工作状态来协调控制. 采用这种乒乓机制,实现了数据读写操作的并行,能够有效提高系统的数据吞吐量.

2.3 图像发送模块设计

系统中的图像发送模块由 Cameralink 接口芯片和 Cameralink 接口(接插件 MDR26)组成,主要功能是把来自 FPGA 的并行像素数据和控制信号串行化,按照 LVDS 的规范要求发送给 PC 机上的图像采集卡. 采用 TI 生产的 DS90CR287 实现数据转换,工作频率设置为 85 MHz. 按照设计指标,系统至少需要 $2\,048 \times 2\,048 \text{ pixel} \times 10 \text{ frame/s} \times 10 \text{ bit/pixel} \approx 0.42 \text{ Gb/s}$ 的数据带宽. 采用 Cameralink 的 Base 模式,并将 10 bit 数据分配到 PortA0-PortA7 和 PortB0-PortB1 上时,接口可以提供的数据带宽为 $85 \text{ MHz} \times 10 \text{ bit} = 0.85 \text{ Gb/s} > 0.42 \text{ Gb/s}$. 因此,Base 配置即可满足系统带宽要求.

2.4 图像处理模块设计

图像处理模块是整个系统的控制和功能核心,包括 FPGA 和 DSP,两者之间协调配合,共同实现系统功能.

2.4.1 FPGA 内部逻辑设计

FPGA 是整个系统的控制核心,用于实现对图像传感器的配置和曝光控制;重建像素数据;控制乒乓 RAM 结构,协调图像数据缓存和 DSP 图像读取操作;按照 Cameralink 协议输出图像数据;通过串口与 PC 机通信. FPGA 内部的逻辑结构如图 2 所示.

图像传感器控制模块直接控制 CMOS 图像传

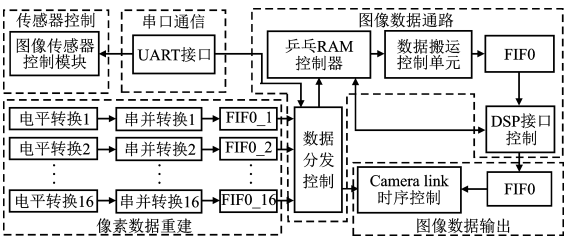


图 2 FPGA 内部逻辑结构图

感器,根据来自串口通信的参数,通过 SPI 总线配置图像传感器的工作状态,控制曝光时间,基于易调试和可靠性的考虑,该模块同时还会对图像传感器的配置寄存器进行回读操作,检验是否正确配置,配置结果通过串口通信模块发送给上位机。

像素重建单元由电平转换、串并转换和 FIFO 构成,负责把图像传感器输出的 LVDS 数据流转换成单端信号,并以图像传感器输出的差分时钟为基准对数据进行串并转换,重建像素数据。

图像数据通路包括数据分发控制,乒乓 RAM 控制器以及 DSP 接口控制。数据分发控制单元把重建的像素数据从 FIFO 中传递给乒乓 RAM 控制器,也可以通过串口配置,将像素数据直接输出给图像数据输出单元。乒乓 RAM 控制器协调 RAM 的读写操作,与分发控制单元配合完成数据缓存,与 DSP 接口控制配合完成图像数据的读取。DSP 接口控制用于向 DSP 发送中断,控制 DSP 的读写数据通路。

图像数据输出接收来自 DSP 或者数据分发控制单元的图像数据,根据 Camelink 协议的信号和时序要求,添加合适的帧有效(FVAL),行有效(LVAL)和数据有效(DVAL)后输出给 Cameran-link 编码芯片。

2.4.2 DSP 内部逻辑设计

DSP 是系统图像处理的核心部件,它的工作流程如图 3 所示,为了缓解图像由于辐射效应造成的图像坏点问题,本文在 DSP 中实现了 3×3 窗口的中值滤波算法,在其他应用场景中可根据实际需要设计实现相应的算法。

DSP 上电自举加载程序后,等待来自 FPGA 的中断信号。收到中断后 DSP 进入中断处理程序,读取图像数据进行滤波处理,并将处理后的数据写回到 FPGA。若写回数据是图像的最后一行,退出中断,等待 FPGA 触发新的中断;否则继续读取图像进行滤波。

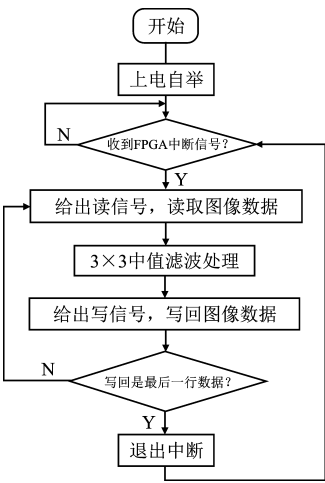


图 3 DSP 工作流程图

3 抗单粒子加固设计

根据单粒子效应的机理,结合本文系统结构,整个系统中可能受到单粒子效应影响的器件包括 CMOS 图像传感器,FPGA 和 DSP。

对于图像传感器,由于其结构固定,考虑借助外部器件进行加固设计;对于 FPGA 采用基于硬件的加固设计;对于 DSP 采用基于软件的加固设计。

3.1 CMV4000 抗单粒子加固设计

CMV4000 中易受到单粒子影响的位置主要是控制传感器工作状态的配置寄存器和曝光得到的图像数据。

3.1.1 配置寄存器加固

为了保证配置寄存器的值正确可靠,本文采用了基于 FPGA 的回读校验加固方案,具体分为配置时回读和曝光前回读两种情况。

(1)配置时校验. 系统上电,FPGA 第一次通过 SPI 总线写寄存器完成后,对配置寄存器进行回读校验。若校验通过,控制传感器进行曝光;若校验失败,重新配置并进行回读校验。

(2)曝光前回读. 系统工作过程中,每次发送曝光信号前回读配置寄存器,检验在上次曝光和图像传输过程中,配置寄存器是否受到辐射效应的影响。若回读比较结果完全一致,开始下次曝光,若不一致,重新配置并进行校验。

3.1.2 像素数据抗单粒子措施

CMV4000 中的像素阵列在辐射环境中会受粒子影响,导致图像采样图像出现坏点。曝光后得到的图像数据也会在进入 FPGA 之前受到单粒子效应的影响。由于 CMV4000 的像素阵列及其内部数据

是用户不可访问的,因此考虑在后续图像处理阶段采用恰当的算法进行处理. 本文将受辐射影响导致图像中出现的坏点类比为图像中的噪声,采用中值滤波能够对图像噪声进行有效的平滑处理^[5].

3.2 FPGA 抗单粒子加固设计

从器件选型角度出发,本文在设计阶段选择反熔丝型 FPGA 作为系统控制核心. 反熔丝 FPGA 在编程时是通过内部的反熔丝结构实现持久、稳定、低阻抗的可靠连接,相较于传统的 SRAM 型 FPGA 通过配置寄存器形成的逻辑连接方式,反熔丝型 FPGA 在原理上就具有很强的抗单粒子能力.

从基本单元上看,反熔丝 FPGA 片上也具有普通的寄存器和存储器等结构,为了进一步提高 FPGA 的抗单粒子能力,本文对 FPGA 上的图像数据和控制逻辑分别进行了进一步的加固.

对于 FPGA 片上存储以及乒乓 RAM 中存放的图像数据,本文采用了纠错编码技术(Error Detection And Correction,EDAC),使用(10,14)汉明码对存储器中的数据进行纠错. 汉明码具有“纠一检二”的特性,能够恢复图像数据的一位错误,检出两位错误. 对于可能出现的多位同时翻转造成的数据错误,可以通过 DSP 的中值滤波操作得到平滑,确保图像质量不受影响.

对于片上寄存器,三模冗余是一种常用且有效的加固方法,它将相同的硬件单元分成三份,通过表决器实现三选二的多数输出,确保输出结果的准确. 本文采用这一方法对片上控制逻辑寄存器进行了加固.

3.3 DSP 抗单粒子加固设计

DSP 的单粒子敏感区包括程序存储区,数据存储器,状态标识寄存器,Cache,JTAG 控制器,片上的乘法器,加法器,移位寄存器等硬核单元.

程序存储区、状态标识寄存器、Cache 和 JTAG 控制器中出现的单粒子翻转可能导致程序执行流程紊乱,出现跑飞、死机等情况. 当程序执行异常时,本文通过外部硬件看门狗对系统复位.

对于数据存储器以及片上硬核单元可能出现的单粒子效应,本文分别针对变量和运算过程进行了针对性的加固.

3.3.1 基于冗余的长寿命变量刷新

长寿命变量指的是在 DSP 数据区两次写操作之间间隔较长的变量,包括循环控制变量,全局指针、全局变量等. 空间环境中软件变量发生单粒子翻转的概率与变量的存在时间成线性递增关系^[6],变量存在的时间越长,发生单粒子翻转的概率越高.

如图 4 所示,对于一个 for 循环,循环变量 i 是一个长寿命变量,在 i 的生存时间内插入若干个节点,如图中①②,在每个节点处插入函数 TMR_refresh. 函数 TMR_refresh 是一个基于三模冗余的变量刷新函数,它通过对变量 i_1, i_2, i_3 进行三选二操作刷新变量 i 的值. 在节点处的刷新缩短了变量的生存时间,能够有效降低变量发生单粒子的概率.

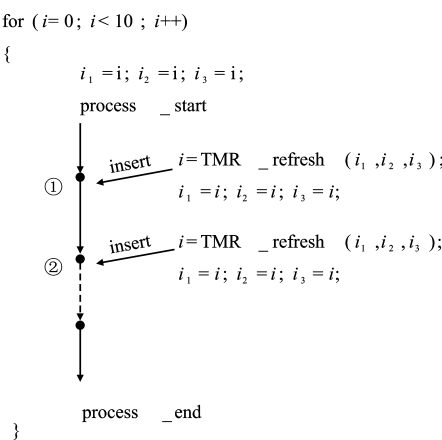


图 4 基于冗余的长寿命变量刷新

3.3.2 指令的时间冗余

对于关系到程序执行分支方向或者数据间大小关系判断的指令,本文采用了指令的时间冗余设计,通过对三次软件运行结果进行比较,按照三选二原则给出计算结果.

图 5 给出一种采用时间冗余设计比较 A 和 B 大小的流程图,对 A 和 B 的关系连续进行两次判断,若两次判断结果相同则可以直接给出比较结果;若前两次比较结果不同,进行第三次比较,根据第三次比较的结果给出 A 和 B 的大小关系.

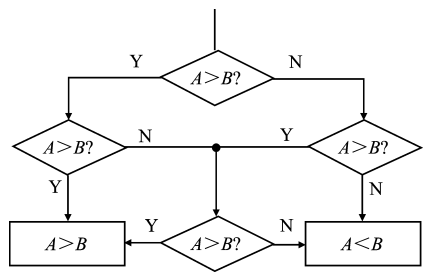


图 5 时间冗余设计

3.3.3 基于逆向恢复的软件复算

对于程序中的加减乘除、移位、异或、同或等数学运算,本文将连续的运算指令划分为运算块,在每个在运算块的入口处记录所有输入变量值. 运算块执行结束后,从结束处开始对运算块中的每一条指令进行逆向运算,直到运算块的入口处,将逆向运算

得到的结果与记录的输入变量值做比较,若结果相同则认为程序运行正确,继续执行下一指令;若结果有差异,重复软件运算和软件复算的操作,若连续五次比较结果不同,软件报错并尝试重启 DSP. 整个过程如图 6 所示.

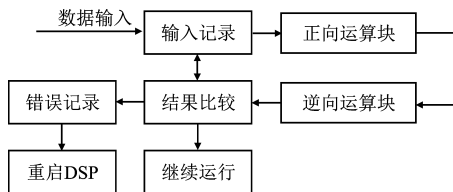


图 6 基于逆向恢复的软件复算技术

4 试验方法与结果分析

X64 Xcelera-CL PX4 是 TELEDYNE DALSA 公司生产的工业级 Cameralink 图像采集卡,它支持多种的 Cameralink 连接方式,配置方便,易于开发. 本文使用 X64 Xcelera-CL PX4 作为图像采集卡,利用 Sapera CamExpert 软件显示图像数据,实时获取图像指标. 实验室测试时采集到的图像如图 7 所示. 常态化工作条件下的测试结果显示,系统能够以 10 frame/s 的速率输出分辨率为 $2\,048 \times 2\,048$ 的高清图像.

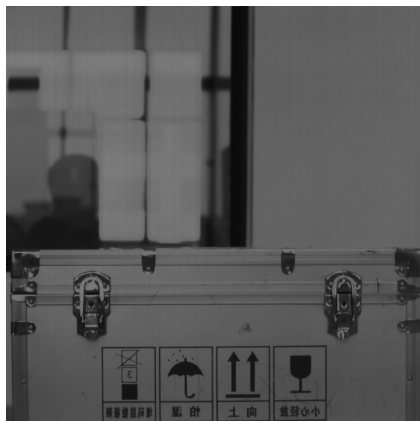


图 7 系统拍摄的实验室图像

利用文献[7]提出的单粒子翻转率预估方法,采用由 CREME96 获取的目标轨道历史辐射条件信息,结合辐照摸底试验获得 FPGA 与 DSP 的 $\sigma \sim \text{LET}$ 曲线函数表达式,通过计算分别得到了 FPGA 和 DSP 的目标轨道在轨单粒子翻转率.

利用实验室开发的故障注入工具对 FPGA 和 DSP 加固后的用户逻辑分别进行了故障注入,注入试验结果表明,加固后的 FPGA 和 DSP 用户可编程部分稳定可靠,不会产生由于单粒子翻转造成的系统功能中断. 但是片上其他模块受单粒子效应影响

可能会影响系统的正常工作,例如 FPGA 的 Start-up-Sequencer(SS),包括用于 logic tile 的 Tile-Start-up-Sequencer(TSS),用于 I/O bank 的 I/O-Start-up-Sequencer(IOSS)[8],DSP 的 JTAG 单元,中断标志寄存器,运行状态标志寄存器等.

假设芯片上各个位置受到的辐射情况相同,根据可能引起系统功能中断的寄存器在芯片中所占的比例可以得到由单粒子效应引起的功能中断率,数学表示为

$$R_{\text{SEFI}} = \frac{S_{\text{SEFI}}}{S_{\text{total}}} R_{\text{SEU}},$$

式中, R_{SEU} , R_{SEFI} 分别代表单粒子翻转率和由单粒子引起的系统功能中断率, S_{SEFI} , S_{total} 分别代表可能由于单粒子事件引起系统功能中断的存储位数和片上总存储位数.

按照上述方法分别对 FPGA 和 DSP 的由于单粒子效应造成的功能中断率进行计算, FPGA 为 $6.919\,68 \times 10^{-5}$ 次/天, DSP 为 $8.595\,0 \times 10^{-3}$ 次/天,系统总功能中断率约为 8.664×10^{-3} 次/天,达到了实际应用系统单粒子功能中断率不大于 10^{-2} 次/天的指标要求.

5 结束语

本文利用 CMOS 图像传感器,基于 FPGA 和 DSP 设计实现了高清图像采集处理平台,介绍了系统的硬件结构和可编程器件的逻辑设计. 从元器件选用,逻辑设计,图像算法等方面针对空间应用中的单粒子效应做了针对性加固. 在遵循 DSP 加固方案的基础上,可以根据不同需求在 DSP 中实现相应的算法,不影响系统的单粒子功能中断率,体现了系统的灵活性和通用性. 试验及计算分析结果表明,该系统能够以 10 frame/s 的速度输出分辨率为 $2\,048 \times 2\,048$ 的高清图像,系统单粒子功能中断率小于 10^{-2} 次/天,达到设计指标要求.

参考文献:

- [1] 王征,何云丰,曹小涛,等. 基于 FPGA 的大面阵 CMOS 相机高速率电子学系统设计[J]. 液晶与显示, 2016, 31(2): 173-178.
- [2] 李继军,杜云刚,张丽华,等. CMOS 图像传感器的研究进展[J]. 激光与光电子学进展, 2009, 46(4): 45-52.
- [3] 岳涛,张宏伟,黄长宁,等. “嫦娥二号”卫星 CMOS 相机技术及应用[J]. 航天返回与遥感, 2011, 32(2): 12-17.

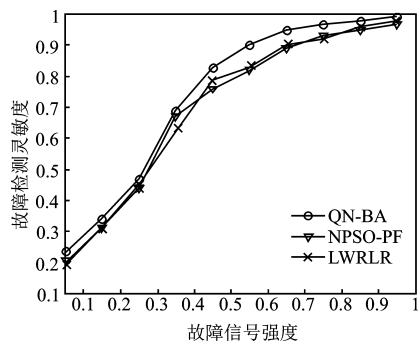


图 5 故障检测灵敏度

5 结束语

本文就目前网络故障检测系统存在的检测精度不高、检测收敛速度慢和易陷入局部最优的问题,在蝙蝠算法的基础上,引入了一种改进方法——拟牛顿蝙蝠算法,并提出了一种新的故障检测方式.通过该方式搭建了滤波器和残差模型,同时通过拟牛顿蝙蝠算法求出最优解.最后,对该方法进行了仿真实验分析,深入分析了影响该故障检测方法的主要影响因素,并与其它故障检测方法性能进行了比较.结果显示基于拟牛顿蝙蝠算法的网络系统故障检测方法更为有效.

参考文献:

[1] 李闻,戴英侠,连一峰,等. 基于异常诊断的代码注入攻击自动分析和响应系统[J]. 软件学报, 2008, 19(6): 1519-1532.

[4] 苏宛新,程灵燕,程飞燕. 基于 DSP+FPGA 的实时视频信号处理系统设计[J]. 液晶与显示, 2010, 25(1): 145-148.

[5] 赵高长,张磊,武风波. 改进的中值滤波算法在图像去噪中的应用[J]. 应用光学, 2011, 32(4): 678-682.

[6] 邢克飞. 星载信号处理平台单粒子效应检测与加固技术研究[D]. 长沙:国防科学技术大学, 2007.

[7] 贺朝会. 空间轨道单粒子翻转率预估方法研究[J]. 空间科学学报, 2001, 21(3): 266-273.

[8] Wang J J. Single event upset and hardening in 0.15 μm antifuse-based field programmable gate array[J]. IEEE Transactions on Nuclear Science, 2003, 50(6):

[2] 邢池强,兰巨龙,胡宇翔. 基于等效资源的可重构服务承载网故障恢复机制[J]. 计算机应用, 2014, 34(7): 1965-1966.

[3] 熊伟,胡汉平,王祖喜,等. 基于突变级数的网络流量异常检测[J]. 华中科技大学学报(自然科学版), 2011, 39(1): 28-31.

[4] 陈瑞川,郭文嘉,唐礼勇,等. 一种抵御拒绝服务攻击的自适应客户端难题[J]. 软件学报, 2009, 20(9): 2558-2573.

[5] 杨晓峰,孙明明,胡雪蕾,等. 基于改进隐马尔可夫模型的网络攻击检测方法[J]. 通信学报, 2010, 31(3): 95-101.

[6] 郭业才,吴华鹏,王惠,等. 基于 DNA 遗传蝙蝠算法的分数间隔多模盲均衡算法[J]. 兵工学报, 2015, 36(8): 1502-1507.

[7] 谢健,周永权,陈欢. 一种基于 Lévy 飞行轨迹的蝙蝠算法[J]. 模式识别与人工智能, 2013, 26(9): 829-837.

[8] 郑红,李振,黄盈. 一种基于拟牛顿法的 CS 投影矩阵优化算法[J]. 电子学报, 2014, 42(10): 1977-1982.

作者简介:

张义良 男, (1978-), 硕士, 副教授. 研究方向为计算机网络. E-mail: zhangyl1978@163.com.

罗晓娟 女, (1975-), 硕士, 副教授. 研究方向为计算机网络.

(上接第 127 页)

2158-2166.

[4] 苏宛新,程灵燕,程飞燕. 基于 DSP+FPGA 的实时视频信号处理系统设计[J]. 液晶与显示, 2010, 25(1): 145-148.

[5] 赵高长,张磊,武风波. 改进的中值滤波算法在图像去噪中的应用[J]. 应用光学, 2011, 32(4): 678-682.

[6] 邢克飞. 星载信号处理平台单粒子效应检测与加固技术研究[D]. 长沙:国防科学技术大学, 2007.

[7] 贺朝会. 空间轨道单粒子翻转率预估方法研究[J]. 空间科学学报, 2001, 21(3): 266-273.

[8] Wang J J. Single event upset and hardening in 0.15 μm antifuse-based field programmable gate array[J]. IEEE Transactions on Nuclear Science, 2003, 50(6):

作者简介:

陆 嵩 男, (1992-), 硕士. 研究方向为先进集成系统与 SoC. E-mail: sfhulusong@163.com.

付方发 男, (1984-), 博士, 讲师. 研究方向为片上网络体系结构.

谭龙玉 男, (1986-), 工程师. 研究方向航天器自主导航技术.

王进祥 男, (1968-), 教授. 研究方向为先进集成系统与 SoC.